

大小比較機能つき減算器回路—CMOS 回路—

工学研究科 板野伸次 (田丸研究室)

工学研究科 田丸啓吉

Keyword : 低消費電力、リーク電流、MTCMOS

1. 研究目的

LSI の微細化による集積度の増大により消費電力の増加が注目されており、消費電力を減らす低エネルギー化の問題は重要な問題となっている。本研究では処理データより動作すべき回路をハードウェアレベルで判断し、不要な回路の電源を切断することにより動作時に消費するアクティブエネルギーと待機時に消費するリークエネルギーの削減を実現することを目的とする。具体的に上位から演算を行う大小比較器と下位から演算を行う減算器を組み合わせた大小比較機能付き減算回路(図 1)を考案し、その動作と電源を制御するための制御回路を考案し、検討した。

2. 構造と特徴

電源を制御するためのスイッチとしては特性がよく、リーク電流の低減が可能な MTCMOS の電源スイッチを使用する(図 2)。電源スイッチ  $Q_s$  の ON、OFF により動作、不動作を切り替える。大小比較機能つき演算器回路をあるビット数ごとのブロックに分けて、それぞれの回路にスイッチをつけて電源を制御させる。減算を行う場合、全てのブロックが同時に ON し、最下位から演算が終了すれば電源を順次 OFF していく。比較の場合は逆に最上位から電源を順次 ON していく。OFF している間、リーク電流は少なくなるので従来より低電力となる。

図 3 に演算の実行時の演算部分のリーク電力の分布を示す。図 3 より演算部分のリークエネルギーが減少することがわかる。途中から演算を開始させることができればさらに電力が削減されることわかる。

3. 研究結果

本研究では大小比較機能つき減算器回路とそれを制御させる制御回路を考案し、検討した。この方法は制御回路を付加しているため比較的大きな回路に対して有効であるといえる。 $V_{DD}=0.5[V]$ 、 $V_{TH}=0.1[V]$  で減算(64bit)では 10%、比較(64bit)では 72%の電力削減の結果を得た。

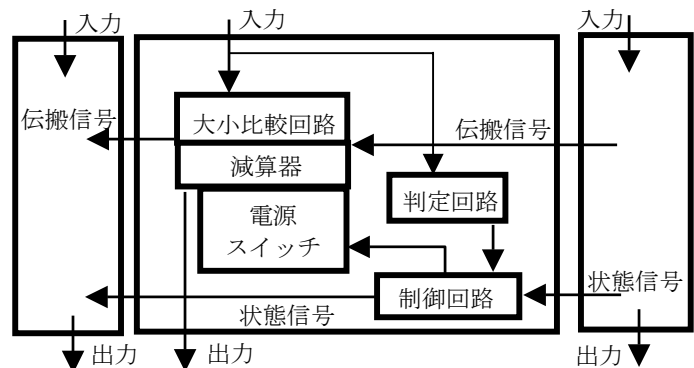


図 1 (4 ビット) 大小比較機能つき減算器回路

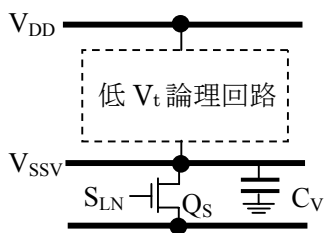


図 2 MTCMOS 電源スイッチ

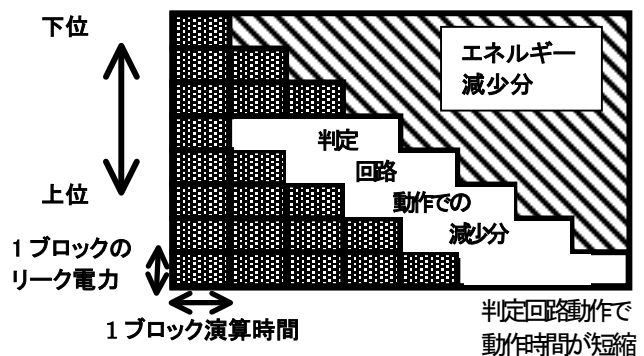


図 3 演算回路の電力分布